

## ПРИМЕНЕНИЕ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ В ЭКСПЕРИМЕНТЕ

УДК 621.384.633:539.12.08

### ВРЕМЕННОЙ ФОРМИРОВАТЕЛЬ С ЦИФРОВОЙ КОРРЕКЦИЕЙ ДЛЯ МОДЕРНИЗАЦИИ ДЕТЕКТОРА T0 ЭКСПЕРИМЕНТА ALICE

© 2011 г. В. А. Григорьев, В. А. Каплин, Н. В. Кондратьева,  
А. В. Краштанёнок, В. А. Логинов, Е. Ф. Макляев, А. В. Сурков\*

*Национальный исследовательский ядерный университет “МИФИ”*

*Россия, 115409, Москва, Каширское ш., 31*

*\*Научно-исследовательский институт системных исследований РАН*

*Россия, 117218, Москва, Нахимовский просп., 36, кор. 1*

Поступила в редакцию 09.11.2010 г.

Формирователь точной временной отметки DWDC (Discriminator With Digital Correction) с мертвым временем до 25 нс и временным разрешением до 50 пс предназначен для модернизации системы сбора стартового триггерного детектора T0 (эксперимент ALICE на Большом адронном коллайдере).

Установка ALICE содержит большое количество детекторов, среди них стартовый триггерный детектор T0 [1–3], состоящий из двух сборок черенковских счетчиков по 12 счетчиков в каждой сборке. Для обслуживания детектора T0 создана сложная многоканальная система сбора и обработки информации, имеющая пикосекундное временное разрешение в динамическом диапазоне амплитуд 1:200 и мертвое время до 25 нс. Одним из методов улучшения временного разрешения системы является применение амплитудно-временной коррекции: так, временное разрешение до 50 пс получено после амплитудно-временной коррекции эксперимента (в режиме off line) в ограниченном динамическом диапазоне входных амплитуд.

Точность временных измерений зависит от типа детектора и типа временного формирователя. Наилучшие параметры имеют формирователи со следящим порогом (ф.с.п.). Чтобы ф.с.п. имел “гуляние” временной отметки  $\pm 50$  пс, необходимо сохранять форму импульса с детектора во всем динамическом диапазоне входных амплитуд. Это требование сложно выполнить в динамическом диапазоне 1:200, а в настоящее время в ряде экспериментов требуется динамический диапазон 1:1000. Цифровая коррекция характеристики ф.с.п. позволит расширить динамический диапазон входных амплитуд и одновременно снизить требования к собственно устройству временной отметки, перенеся сложности создания прецизионной аналоговой части формирователя на цифровую часть устройства.

Применение цифровой коррекции снижает требование к временному разрешению (разброс задержки во всем диапазоне входных амплитуд) формирователя, что позволяет не только упростить конструкцию ф.с.п., но и, в ряде случаев,

вместо ф.с.п. применять значительно более простой формирователь с постоянным порогом (ф.п.п.), являющийся по сути быстрым компаратором. На рис. 1 для разных порогов срабатывания ф.п.п. представлена зависимость изменения задержки формирователя от входной амплитуды, которая составляет  $\sim 2$  нс — это длительность фронта ф.п.п. Цифровая коррекция позволяет устранить эту зависимость и получить характеристики не хуже, чем с ф.с.п.

Таким образом, разрабатываемое устройство — модуль DWDC позволит: улучшить временное разрешение; увеличить динамический диапазон входных амплитуд; упростить требования к прецизионной аналоговой части формирователя; создать предпосылки для миниатюризации формирователя, вплоть до микросхемного исполнения.

На рис. 2 представлена функциональная схема формирователя временной отметки с цифровой коррекцией DWDC в стандарте VME. В качестве внутреннего формирователя временной отметки в схеме использован быстрый компаратор ADCMP581 — простейший ф.п.п. с порогом регистрации 4–10 мВ.

Принцип работы формирователя временной отметки с цифровой коррекцией DWDC в стандарте VME состоит в следующем: аналоговый сигнал *Analog Input*, пройдя интегрирующую цепочку и операционный усилитель AD9617, который используется для преобразования входного диапазона уровней 0...–5 В в динамический диапазон  $\pm 1.75$  В, разветвляется и поступает на внутренний компаратор ADCMP581 на скоростном а.ц.п. AD9020, где за 13 нс происходит преобразование амплитудного сигнала в цифровой код. Входы а.ц.п. и компаратора разделены резистивной цепью, чтобы избежать взаимного влияния микросхем.

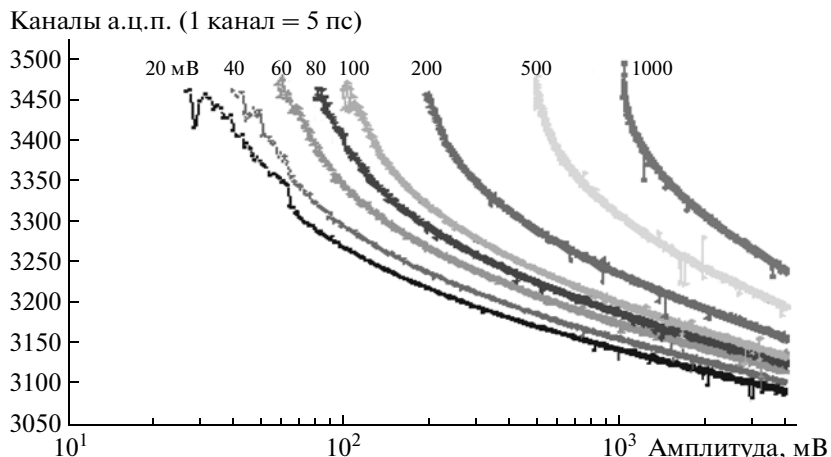


Рис. 1. Зависимость изменения задержки ф.п.п. от входной амплитуды.

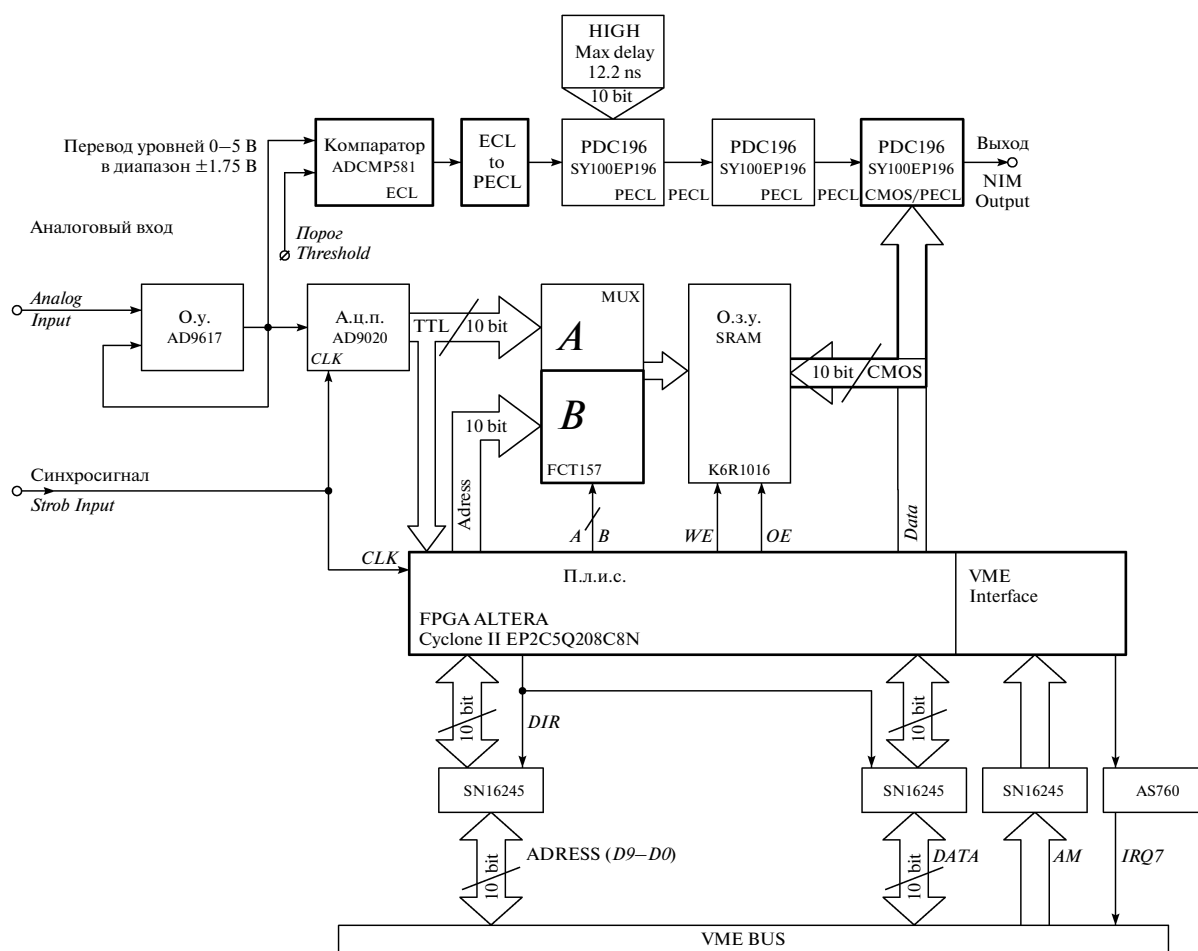


Рис. 2. Функциональная схема формирователя временной отметки с цифровой коррекцией DWDC.

Аналоговый сигнал синхронизирован с внешним тактовым сигналом *Strob Input* (в детекторе Т0 это будет сигнал ускорителя *Clock* – момент пересечения встречных пучков частиц; в лабора-

тории, на стадии тестирования – это синхросигнал с лазера или генератора).

Цифровой 10-битный код амплитуды с а.ц.п. AD9020, пройдя скоростной мультиплексор, по-

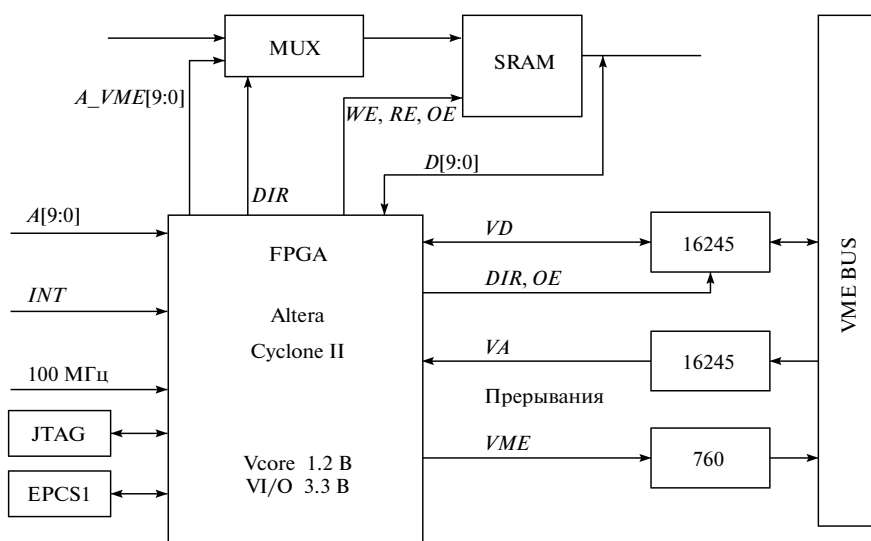


Рис. 3. Схема включения п.л.и.с.

ступает на адресные входы памяти о.з.у. SRAM, которая выдает корректирующий 10-битный код данных через 8 нс.

Исходя из параметров выбранных быстродействующих электронных компонентов при идеальных условиях трассировки платы, предполагаемая точность привязки выходного сигнала составляет  $\pm 25$  пс. Рассматривается возможность работы модуля DWDC в динамическом диапазоне 5 мВ–5 В.

Необходимую логику управления режимами работы электрических схем DWDC и обмен информацией через VME-интерфейс выполняет контроллер на программируемой логической интегральной схеме (п.л.и.с.) FPGA Cyclone II EP2C5Q208C8N [4] производителя ALTERA.

Разработаны следующие функциональные блоки внутренней структуры используемой п.л.и.с.:

- блок записи в память VME Slave, A32, D16;
- блок прерывателя VME и наполнения внутренней памяти FIFO;
- блок управления внешним мультиплексором и памятью SRAM;
- внутренние регистры, доступные с VME;
- блок чтения из внутреннего FIFO. VME Slave, A32, D64 MBLT. Скорость выгрузки данных до 30 Мбайт/с.

Интерфейс шины VME:

- поддерживает тип адресации A32;
- поддерживает режимы передачи данных D16 и D64BLT;
- автоконфигурацию не поддерживает;
- имеет фиксированный базовый адрес, задаваемый переключателями;
- прерыватель поддерживает обработку прерываний циклами D16.

Внутренние интерфейсы:

- входной порт данных с а.с.п. A[9:0];
- вход тактовой частоты 40 МГц или одиночные импульсы;
- вход прерывания;
- выходной порт D[9:0];
- выходы управления мультиплексором DIR, A\_VME[9:0];
- выходы управления внешней памятью RE, WE, OE.

Общая схема включения п.л.и.с. представлена на рис. 3.

Базовый адрес модуля DWDC задается переключателями. При обращении в эту область п.л.и.с. переключает мультиплексор (сигнал DIR) на прием адреса с VME (шина A\_VME[9:0]), переводит память в режим записи (сигналы RE, WE, OE) и устанавливает данные на входе памяти (шина D[9:0]). В пассивном режиме мультиплексор переключен в сторону приема данных с а.с.п., а память находится в режиме чтения.

#### Процедура проведения амплитудно-временной коррекции в модуле DWDC

На первой стадии работы модуля DWDC измеряется зависимость “гуляния” задержки срабатывания внутреннего компаратора ADCMP581 относительно стартового сигнала от амплитуды реальных входных импульсов, т.е. зависимость  $t(A)$ , аналогичная представленной на рис. 4. По полученным кодам амплитуд и кодам времени задержки строится реальная характеристика — зависимость времени срабатывания компаратора от величины амплитуды на входе при фиксированном пороге. С помощью интерполяции определяются

необходимые добавочные коды времени задержки соответственно каждой амплитуде для выравнивания задержки компаратора и приближения ее к идеальной характеристике. На основе обработанных данных формируется файл, который записывается в о.з.у.

В рабочем режиме входной аналоговый сигнал, пройдя интегрирующую цепочку и операционный усилитель AD9617, разветвляется и поступает на внутренний компаратор ADCMP581 на а.ц.п. AD9020.

Код с а.ц.п. поступает на адресные входы о.з.у., а корректирующий код с выхода о.з.у. поступает на управляющие входы линии задержки PDC196 — Programmable Delay Chip (SY100EP196), с помощью которой сигнал с компаратора задерживается на величину, необходимую для коррекции времени для сигнала с данной амплитудой. Получаем зависимость  $t_1(A)$  после первой проведенной коррекции. Из рис. 4 следует, что одной итерации по корректировке недостаточно, поэтому процедура корректировки проводилась дважды.

Первый прототип формирователя временной отметки с цифровой коррекцией DWDC выполнен в стандарте КАМАК и прошел электрическое тестирование в лаборатории.

Для настройки в качестве исследуемого аналогового и синхронизированного с ним сигнала использовались сигналы генератора импульсов: первый сигнал *Start* через модуль DWDC проходил на TDC (время-цифровой преобразователь стартового типа) и служил сигналом запуска TDC; второй сигнал, имитирующий аналоговый сигнал с ф.э.у., через инвертор и аттенюатор поступал на компаратор и вход *Analog Input* модуля. Выходной сигнал с компаратора проходил на программируемую линию задержки, где задерживался на предварительно записанное в память время. Задержанный сигнал поступал на TDC в качестве сигнала *Stop*.

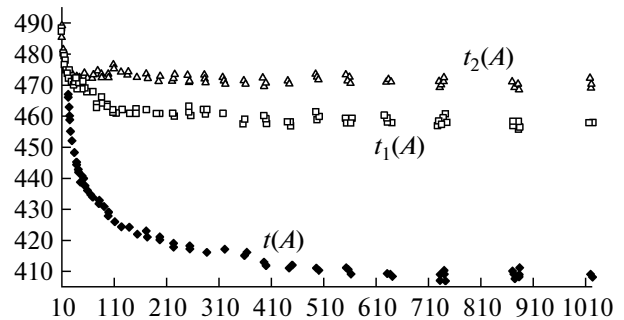


Рис. 4. Зависимость изменения задержки формирователя от амплитуды входных импульсов, полученная при настройке от генератора (по оси абсцисс — код амплитуды, записанный с а.ц.п.; по оси ординат — код времени задержки срабатывания формирователя, 20 пс/канал).

Работа прототипа модуля DWDC проверена в лабораторных условиях в динамическом диапазоне входных амплитуд 1:1000, изменение задержки формирователя не превышало 40 пс. В настоящее время разработан модуль DWDC в стандарте VME для применения в реальном физическом эксперименте.

Работа выполнена при поддержке ФЦП “Научные и научно-педагогические кадры инновационной России” на 2009—2013 гг.

#### СПИСОК ЛИТЕРАТУРЫ

1. Bondila M., Grigoriev V.A., Guber F.F. et al. // IEEE Trans. Nucl. Sci. 2005. V. 52. Is. 5. P. 1705.
2. Веселовский А.В., Григорьев В.А., Каплин В.А. и др. // ПТЭ. 2009. № 2. С. 43.
3. Климов А.И., Козлов К.Н., Мелешко Е.А. и др. // ЯФ. 2009. Т. 72. № 2. С. 314.
4. Cyclone II Device Handbook. February 2007. V. 1. Altera Corporation 101 Innovation Drive, San Jose. CA 95134. www.altera.com